

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-068467

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

H01L 21/316
C30B 29/32

(21)Application number : 2000-213906

(71)Applicant : MOTOROLA INC

(22)Date of filing : 14.07.2000

(72)Inventor : RAMDANI JAMAL
DROOPAD RAVINDRANATH
YU ZHIYI

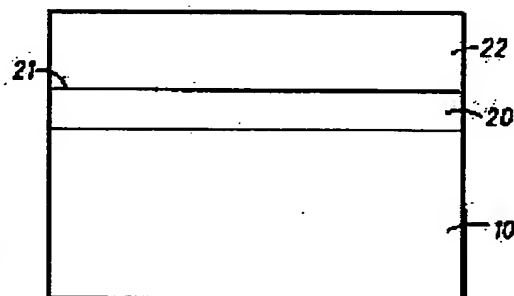
(30)Priority

Priority number : 99 354522 Priority date : 15.07.1999 Priority country : US

(54) PREPARATION OF SEMICONDUCTOR STRUCTURE HAVING METALLIC OXIDE INTERFACE WITH SILICON**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a thin and stable crystalline silicate interface with silicon by forming a seed layer formed of a silicate crystalline material on the surface of a silicon substrate and forming a high dielectric oxide layer on the seed layer.

SOLUTION: A substrate 10 is heated properly and the surface of the substrate 10 having SiO layer thereon is exposed to a metallic beam 18 such as Sr, Ba, Ca, Zr, Hf inside oxygen atmosphere at O₂ pressure of 1×10^{-4} mBar or less, amorphous oxide is formed to SiO₂ oxide, the substrate 10 and an SiO₂ layer are exposed to Sr and oxygen beam O₂ and SrO is combined with SiO₂ and changes an SiO₂ layer to a crystalline seed layer 20 formed of SrSiO₄ or SrSiO₃, etc. Then, a high dielectric oxide layer 22 is formed by supplying crystalline silicate simultaneously or alternately under the conditions of 350 to 650° C and O₂ partial pressure of 1×10^{-4} mBar or less to a surface 21 of the seed layer 20.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-68467

(P2001-68467A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int. Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/316		H 0 1 L 21/316	B
C 3 0 B 29/32		C 3 0 B 29/32	M
			C

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願2000-213906 (P2000-213906)
(22) 出願日 平成12年7月14日 (2000.7.14)
(31) 優先権主張番号 3 5 4 5 2 2
(32) 優先日 平成11年7月15日 (1999.7.15)
(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597
モトローラ・インコーポレイテッド
MOTOROLA INCORPORATED
アメリカ合衆国イリノイ州シャンパーグ、
イースト・アルゴンクイン・ロード1303
(72) 発明者 ジャマル・ラムダニ
アメリカ合衆国アリゾナ州ギルバート、ウ
エスト・デボン・ドライブ822
(74) 代理人 100091214
弁理士 大賀 進介 (外1名)

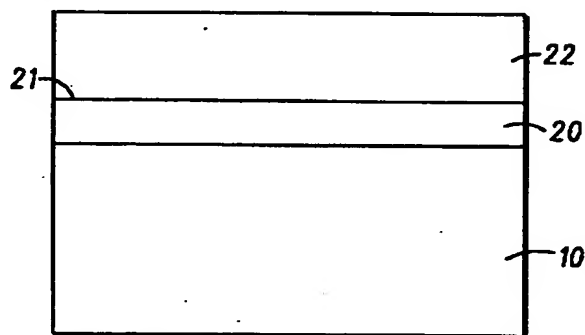
最終頁に続く

(54) 【発明の名称】 シリコンとの金属酸化物インタフェースを備える半導体構造の作成方法

(57) 【要約】

【課題】 薄く安定な、シリコンとの結晶性ケイ酸塩インタフェースを作成する方法を提供する。

【解決手段】 半導体構造を作成する方法は：表面12を有するシリコン基板10を設ける段階；シリコン基板10の表面12上に非晶質二酸化シリコン14を形成する段階；非晶質二酸化シリコン14の上に金属酸化物18を設ける段階；半導体構造を加熱してシリコン基板10の表面12に隣接するシード層20からなるインタフェースを形成する段階；およびシード層20上に高誘電率酸化物22の1つ以上の層を形成する段階；を備える。



【特許請求の範囲】

【請求項1】 半導体構造を作成する方法であって：表面(12)を有するシリコン基板(10)を設ける段階；前記シリコン基板の前記表面に、ケイ酸塩結晶性材料からなるシード層(20)を形成する段階；および前記シード層に1層以上の高誘電率酸化物層(22)を形成する段階；によって構成されることを特徴とする方法。

【請求項2】 半導体構造を作成する方法であって：表面(12)を有するシリコン基板(10)を設ける段階；前記シリコン基板の前記表面に、非晶質二酸化シリコン(14)を形成する段階；前記非晶質二酸化シリコンに金属酸化物(18)を設ける段階；および半導体構造を加熱して、前記シリコン基板の前記表面に隣接するシード層(20)からなるインタフェースを形成する段階；によって構成されることを特徴とする方法。

【請求項3】 半導体構造を作成する方法であって：表面(12)を有するシリコン基板(10)を設ける段階；前記シリコン基板の前記表面に、非晶質二酸化シリコン(14)を形成する段階；前記非晶質二酸化シリコンに金属酸化物(18)を設ける段階；半導体構造を加熱して、前記シリコン基板の前記表面に隣接するシード層(20)からなるインタフェースを形成する段階；および前記シード層に1層以上の高誘電率酸化物層(22)を形成する段階；によって構成されることを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般にシリコン基板と金属酸化物との間の結晶性金属酸化物インタフェースを備える半導体構造の作成方法に関し、さらに詳しくは、シード層と高誘電率酸化物とを備えるインタフェースを作成する方法に関する。

【0002】

【従来の技術および発明が解決しようとする課題】規則正しく安定したシリコン(Si)面は、数多くの装置用途たとえば高密度メモリや次世代MOS装置などのための強誘電体または高誘電率酸化物において、シリコン上に単結晶薄膜を続いてエピタキシャル成長させるのにきわめて望ましい。特に単結晶酸化物たとえばペロブスカイトなどを引き続き成長させるためには、シリコン面上に規則正しい遷移層を配置することが必要である。

【0003】Si(100)上にBaO, BaTiO₃などのこれらの酸化物の成長には、分子線エピタキシを摂氏850度超で用いてSi(100)上に1/4単層のBaをデポジションすることによるBaSi₂(立方晶)テンプレートによると報告されているものがある。たとえば以下の文献を参照されたい。R. McKee他著Appl. Phys. Lett. 59(7), pp. 782-784(1991年8月12日)；R. McKee他著Appl. Phys. Lett. 63(20), pp. 2818-2820(1993年11月15日)；R.

McKee他著Mat. Res. Soc. Symp. Proc., Vol. 21, pp. 131-135(1991年)；1993年7月6日出願の米国特許第5,225,031号「PROCESS FOR DEPOSITING AN OXIDE EPITAXIALLY ONTO A SILICON SUBSTRATE AND STRUCTURES PREPARED WITH THE PROCESS」；1996年1月9日出願の米国特許第5,482,003号「PROCESS FOR DEPOSITING EPITAXIAL ALKALINE EARTH OXIDE ONTO A SUBSTRATE AND STRUCTURES PREPARED WITH THE PROCESS」。c(4x2)構造をもつケイ化ストロンチウム(SrSi₂)インタフェース・モデルが提案された。たとえば、R. McKee他著Phys. Rev. Lett. 81(14), 3014(1998年10月5日)を参照されたい。しかし、この提案された構造の原子レベルのシミュレーションでは、高温においては安定でない場合があることが示唆される。

【0004】SrOパッファ層を用いてシリコン(100)上にSrTiO₃を成長させた。これについては、T. Tambo他著Jpn. J. Appl. Phys., Vol. 37(1998年), pp. 4454-4459を参照されたい。しかし、SrO層が厚い(100Å)ので、トランジスタ薄膜に関する用途が制約され、成長の間、結晶性が維持されない。

【0005】さらに、SrOまたはTiO_xの厚い酸化物層(60~120Å)を用いてSrTiO₃を成長させた。B. K. Moon他著Jpn. J. Appl. Phys., Vol. 33(1994年)p. 1472-1477を参照されたい。このようにパッファ層が厚いとトランジスタに関する用途が制約を受ける。

【0006】従って、薄く安定な、シリコンとの結晶性ケイ酸塩インタフェースを作成する方法が必要である。

【0007】

【発明を解決するための手段】表面を有するシリコン基板を設ける段階と、シリコン基板の表面上に、ケイ酸塩結晶性材料からなるシード層を形成する段階と、そのシード層上に高誘電率酸化物の層を1層以上形成する段階とを備える半導体構造の作成方法において、上記その他の問題は、少なくとも部分的に解決され、上記その他の目的が実現される。

【0008】

【実施例】本開示は、シリコン基板とのインタフェースを有する高誘電率(高k)金属酸化物を作成する方法を教示する。このプロセスは、酸化ストロンチウム(SrO), 酸化バリウム(BaO), 酸化カルシウム(CaO), 酸化ジルコニウム(ZrO₂), 酸化ハフニウム(HfO₂)などの金属酸化物のSiO₂との固体物理反応に基づくものであり、アルカリ土類金属酸化物層を後で成長させるために必要とされる安定なケイ酸塩シード層を形成する。従って、SrTiO₃, BaTiO₃, SrBaTiO₃, CaTiO₃などのペロブスカイト(perovskite)酸化物を成長させるための新規な方法が開示される。

【0009】シリコン(Si)基板と1層以上の高誘電率(高k)金属酸化物との間に新規のインタフェースを形成するために、種々の手法を用いることができる。表面

上に二酸化シリコン (SiO_2) を有するSi基板をはじめとして、いくつかの例を挙げる。二酸化シリコンは自然酸化物として、あるいは熱的または化学的方法を利用して形成されるものとして開示される。 SiO_2 は単結晶ではなく非晶質であり、基板上に別の単結晶材料を成長させるためには、単結晶酸化物層をインタフェースとして設けることが望ましい。

【0010】図面を参照して、図面内では同様の要素は同様の番号で指示されるが、図1は表面12とその上に SiO_2 層14を有するSi基板10を示す。この特定の実施例においては、 SiO_2 層14はシリコン基板10が空気(酸素)にさらされると自然にできる(自然酸化物)。あるいは、 SiO_2 層14を当技術で周知の制御された方法、たとえば高温で表面12上に酸素を付加する熱的方法あるいは標準的な化学エッチ・プロセスを用いる化学的方法で意図的に形成することもできる。層14は5ないし100Åの厚みで形成され、さらに詳しくは、10ないし25Åの厚みを有する。

【0011】(以下に説明する)新規のシード層は、Sr、Baなどの非晶質金属酸化物を SiO_2 層14の表面16に摂氏0ないし900度でデポジションすることにより形成される。さらに詳しくは、Si基板10と非晶質 SiO_2 層14が SiO_2 層14の昇華温度未満まで(通常摂氏900度未満)加熱される。これは、分子線エビタキシ・チャンバ内で、あるいは化学的または物理的蒸着チャンバ内で不活性環境条件下で実行することができる。

【0012】基板10が適切に加熱され、その上に SiO_2 層14を有する基板10の表面12がストロンチウム(Sr)、バリウム(Ba)、カルシウム(Ca)、ジルコニウム(Zr)、ハフニウム(Hf)などの金属線18に、 1×10^{-4} mBar以下の02圧力で酸素雰囲気内でさらされると、図1に示されるように非晶質酸化物が SiO_2 酸化物14上に形成される。好適な実施例においては、金属線は噴散セルを抵抗加熱するか、あるいは電子線(e-beam)蒸着源から生成されるBaまたはSrである。特定の例においては、基板10と SiO_2 層14とはSrと酸素02線にさらされる。Srは SiO_2 と結合して、 SiO_2 層14を SrSiO_4 または SrSiO_3 などからなる、図2に示されるような結晶状のシード層に変える。

【0013】この段階で、シリコン基板上に安定なケイ酸塩ができる。さらに詳しくは、シード層20ができる。金属酸化物層20の厚みは、 SiO_2 酸化物層14の厚みとほぼ同じであり、さらに詳しくは、5ないし100Å、好適には10ないし25Åの厚みである。このケイ酸塩層は2×1の構造を示す結晶性の規則正しいものである。

【0014】この特定の実施例においては、Srと酸素とを層14の表面16に付加し、その後加熱すると化学反応が起こって、 SrSiO_3 または SrSiO_4 などをシード層20として形成する。作成中は、この成長を反射高エネルギー

電子回折(RHEED: reflection high energy electron diffraction)法を用いてモニタする。この方法は当技術においては詳細に説明されており、その場で、すなわち成長チャンバ内での露出段階を実行しながら用いることができる。RHEED法は、表面の結晶構造を検出または検知するために用いられ、本プロセスにおいては、 SrSiO_4 、 SrSiO_3 などのいくつかの原子層の形成により強力な鋭い光線に急激に変化する。もちろん、特定の製造プロセスが提供され実行される場合は、すべての基板上でRHEED法を実行する必要はないことを理解頂きたい。あるいは、結晶構造を反射差分分光法、分光偏光解析法など表面をその場で監視する任意の表面検知法を利用して監視することもできる。

【0015】これらのプロセスに関して与えられる温度および圧力は、説明される特定の実施例に関して推奨されるものであり、本発明は特定の温度または圧力範囲に限定されないことを当業者には理解頂きたい。開示される如く、シード層20はシリコン基板10の(001)表面上に、ストロンチウム、シリコンおよび酸素原子の列が1×は<110>方向に、2×は直交<110>方向にある2×1構造からなる。

【0016】図3を参照して、高誘電率酸化物層22の形成を、シード層20の表面21に対して、摂氏800度以下、さらに詳しくは、摂氏350ないし650度の温度で、 1×10^{-4} mBar以下の02部分圧力下で結晶性ケイ酸塩を同時にあるいは交互に供給することにより行うことができる。

【0017】単結晶高誘電率酸化物層22、さらに詳しくは、プロプスカイトがシード層20の表面21上に、アルカリ金属(Sr、Baなど)と、酸素と、チタンなどの遷移金属とを、摂氏800度以下の温度で、 1×10^{-4} mBar以下の圧力下で同時にあるいは交互に供給することにより形成される。この単結晶酸化物層22は、たとえば、50ないし1000Åの厚みからなり、実質的には下部構造のシード層20と格子一致する。

【0018】従って、シリコン10を伴う薄い結晶性シード層20を作成する方法がここに開示される。インタフェースすなわちシード層20は、単独の原子層からなる。ケイ化酸塩層の形成をこのように強制することが、その上にプロプスカイト膜を引き続き成長させるために必要である。インタフェースが薄いと、より良いトランジスタ用途が実現される。これは、上部構造の高誘電率酸化物層の電気結合効果が弱くならず、原子がその結晶性を処理中にも維持しやすくなるためにシード層20がより安定となるからである。

【図面の簡単な説明】

【図1】本発明による複数の酸化物層がその上に形成された清浄な半導体基板の断面図である。

【図2】本発明による結晶性ケイ酸塩層で形成されるインタフェース・シード層を有する半導体基板の断面図で

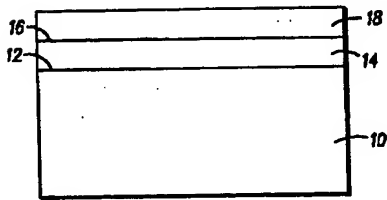
ある。

【図3】本発明による図2に図示される構造上に形成される高誘電率酸化物層の断面図である。

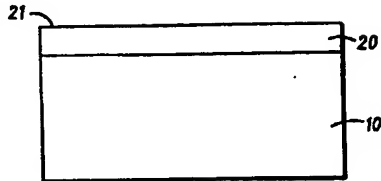
【符号の説明】

- 10 シリコン基板
- 20 シード層
- 21 シード層表面
- 22 高誘電率酸化物層

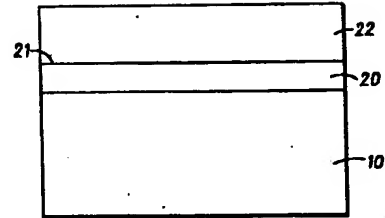
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 ラビンドラナス・ドローパッド
アメリカ合衆国アリゾナ州チャンドラー、
ウエスト・タイソン・ストリート4515

(72)発明者 ツィイ・ユ
アメリカ合衆国アリゾナ州ギルバート、ウ
エスト・メルル・アベニュー449